**实验一 verilog编程基础实验**

**一、 实验目的**

1. 熟悉vivado的编译环境；

2. 了解在 Vivado 环境下运用 Verilog HDL 语言的编程开发流程，包括源程序的编写、编译、模拟仿真。

**二、 实验内容**

1. Vivado 环境下源程序的编写、编译

2. 模拟仿真

**三、 实验要求**

1. 在Vivado 环境下完成对简单电路工作情况的仿真模拟；

2. 实现以下组合逻辑功能：单信号输出，多信号输出，真值表。

**四、 实验步骤**

1. 根据下面的电路图1写出与这个电路图相对应的verilog代码，然后在vivado中进行仿真。从仿真的输出信号波形中能看出输出信号的变化特点。仿真时输入信号的激励值如电路图1下面的文字描述。需要将仿真后得到的仿真波形进行截图保存。

表1 输入输出信号表

|  |  |  |
| --- | --- | --- |
|  | 信号 | 备注 |
| 输入 | A | 输入引脚 |
| B | 输入引脚 |
| C | 输入引脚 |
| 输出 | F | 输出引脚 |

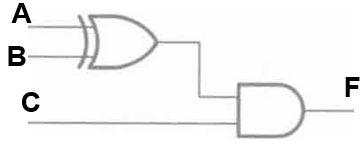


图1 要仿真的电路

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是3729,对应于X3=3,X2=7,X1=2,X0=9),则输入信号的激励值依次为：

ABC=000,延时X3个单位；

ABC=001,延时X2个单位；

ABC=010,延时X1个单位；

ABC=011,延时X0个单位；

ABC=100,延时X3个单位；

ABC=101,延时X2个单位；

ABC=110,延时X1个单位；

ABC=111,延时X0个单位；

结束仿真，将仿真波形截图和vivado中的schematic截图存入实验报告文档中。

1. 根据下面的电路图2写出与这个电路图相对应的verilog代码，然后在vivado中进行仿真。从仿真的输出信号波形中能看出输出信号的变化特点。仿真时输入信号的激励值如电路图2下面的文字描述。需要将仿真后得到的仿真波形进行截图保存。

表2 输入输出信号表

|  |  |  |
| --- | --- | --- |
|  | 信号 | 备注 |
| 输入 | A | 输入引脚 |
| B | 输入引脚 |
| C | 输入引脚 |
| 输出 | Y1 | 输出引脚 |
| Y2 | 输出引脚 |

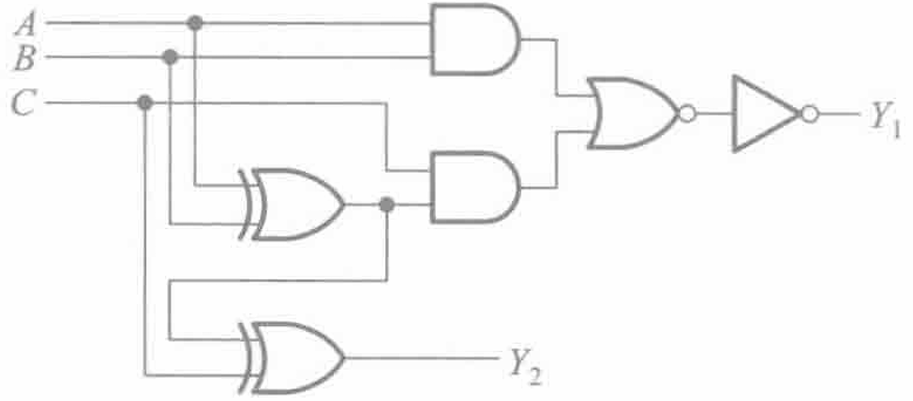


图2 要仿真的电路

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是3729,对应于X3=3,X2=7,X1=2,X0=9),则输入信号的激励值依次为：

ABC=000,延时X3个单位；

ABC=001,延时X2个单位；

ABC=010,延时X1个单位；

ABC=011,延时X0个单位；

ABC=100,延时X3个单位；

ABC=101,延时X2个单位；

ABC=110,延时X1个单位；

ABC=111,延时X0个单位；

结束仿真，将仿真波形截图和vivado中的schematic截图存入实验报告文档中。

1. 根据下面的真值表写出与这个真值表相对应的verilog代码，然后在vivado中进行仿真。从仿真的输出信号波形中能看出输出信号的变化特点。仿真时输入信号的激励值如真值表下面的文字描述。需要将仿真后得到的仿真波形进行截图保存。

表3 输入输出信号表

|  |  |  |
| --- | --- | --- |
|  | 信号 | 备注 |
| 输入 | M | 输入引脚 |
| N | 输入引脚 |
| P | 输入引脚 |
| Q | 输入引脚 |
| 输出 | Z | 输出引脚 |

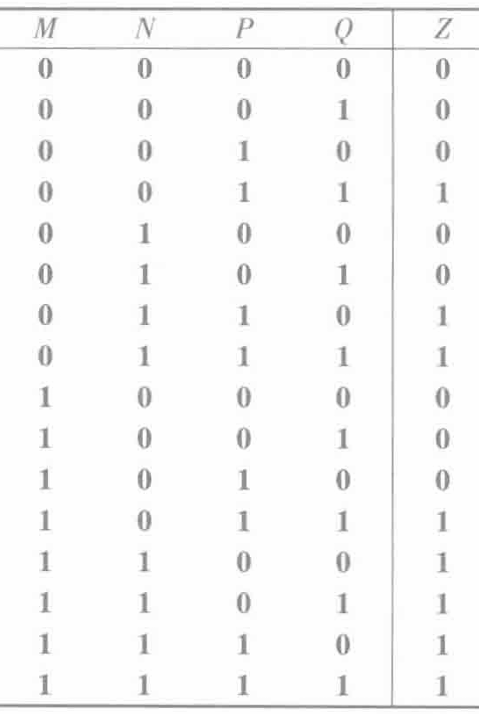


图3 输入与输出对应的真值关系

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是3729,对应于X3=3,X2=7,X1=2,X0=9),则输入信号的激励值依次为：

MNPQ=0000,延时X3个单位；

MNPQ =0001,延时X2个单位；

MNPQ =0010,延时X1个单位；

MNPQ =0011,延时X0个单位；

MNPQ =0100,延时X3个单位；

MNPQ =0101,延时X2个单位；

MNPQ =0110,延时X1个单位；

MNPQ =0111,延时X0个单位；

MNPQ=1000,延时X3个单位；

MNPQ =1001,延时X2个单位；

MNPQ =1010,延时X1个单位；

MNPQ =1011,延时X0个单位；

MNPQ =1100,延时X3个单位；

MNPQ =1101,延时X2个单位；

MNPQ =1110,延时X1个单位；

MNPQ =1111,延时X0个单位；

结束仿真，将仿真波形截图和vivado中的schematic截图存入实验报告文档中。

1. 根据下面的电路图4写出与这个电路图相对应的verilog代码，然后在vivado中进行仿真。从仿真的输出信号波形中能看出输出信号的变化特点。仿真时输入信号的激励值如电路图4下面的文字描述。需要将仿真后得到的仿真波形进行截图保存。

表4 输入输出信号表

|  |  |  |
| --- | --- | --- |
|  | 信号 | 备注 |
| 输入 | A | 输入引脚 |
| B | 输入引脚 |
| C | 输入引脚 |
| D | 输入引脚 |
| 输出 | Y2 | 输出引脚 |
| Y1 | 输出引脚 |
| Y0 | 输出引脚 |

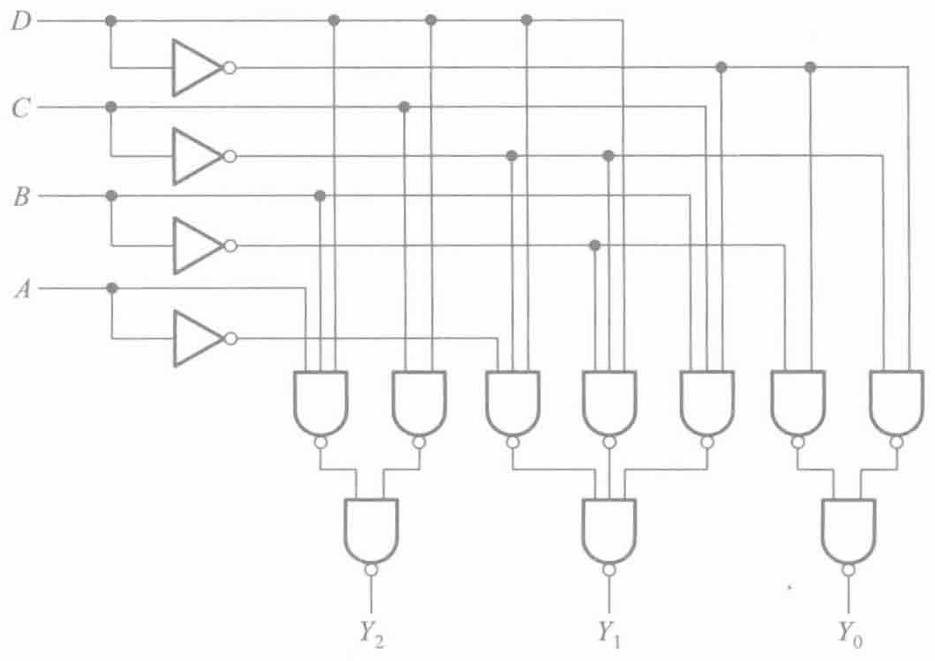


图4 要仿真的电路

如果你的学号的后4位是X3X2X1X0(例如：你学号的后4位是3729,对应于X3=3,X2=7,X1=2,X0=9),则输入信号的激励值依次为：

ABCD=0000,延时X3个单位；

ABCD =0001,延时X2个单位；

ABCD =0010,延时X1个单位；

ABCD =0011,延时X0个单位；

ABCD =0100,延时X3个单位；

ABCD =0101,延时X2个单位；

ABCD =0110,延时X1个单位；

ABCD =0111,延时X0个单位；

ABCD =1000,延时X3个单位；

ABCD =1001,延时X2个单位；

ABCD =1010,延时X1个单位；

ABCD =1011,延时X0个单位；

ABCD =1100,延时X3个单位；

ABCD =1101,延时X2个单位；

ABCD =1110,延时X1个单位；

ABCD =1111,延时X0个单位；

结束仿真，将仿真波形截图和vivado中的schematic截图存入实验报告文档中。